

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/12

H01L 23/60



[12] 发明专利说明书

[21] ZL 专利号 02123177.X

[45] 授权公告日 2005 年 5 月 25 日

[11] 授权公告号 CN 1203553C

[22] 申请日 2002.6.26 [21] 申请号 02123177.X

[30] 优先权

[32] 2001.7.9 [33] US [31] 09/903,072

[71] 专利权人 联华电子股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 柯明道 洪根刚 黄绍璋

审查员 王莹

[74] 专利代理机构 北京市柳沈律师事务所

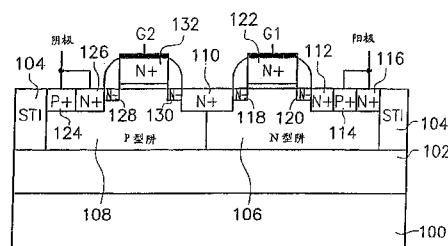
代理人 马莹 邵亚丽

权利要求书 7 页 说明书 15 页 附图 11 页

[54] 发明名称 绝缘层有硅的低电压触发硅控整流器及静电放电防护电路

[57] 摘要

一种绝缘层上有硅的低电压触发硅控整流器结构，架构于衬底与绝缘层之上。多个隔离结构位于绝缘层上。第一与第二型阱区彼此相连。第一与第二栅极结构分别位于第一与第二型阱区之上。于前述的第一型阱中还包括第一第二型离子植入区，第一第二型离子植入区与第一第一型离子植入区构成绝缘层有硅的硅控整流器结构的阳极。第二第一型离子植入区位于第一型阱区中，且位于第一第二型离子植入区与第一栅极结构之间。第三第一型离子植入区位于第一与第二型阱区中，并位于第一与第二栅极结构之间。前述的第二型阱区，还包括第二第二型离子植入区与第四第一型离子植入区，第二第二型离子植入区与第四第一型离子植入区构成绝缘层有硅的硅控整流器结构的阴极。



ISSN 1008-4274

知识产权出版社出版

1. 一种绝缘层有硅的硅控整流器结构, 包括: 一衬底, 一绝缘层, 位于该衬底之上, 一第一型阱区与一第二型阱区, 该第一型与第二型阱区彼此相连, 且位于一元件区中, 一第一栅极结构, 位于该第一型阱区之上, 一第二栅极结构, 位于该第二型阱区之上, 其特征是还包括:

多个隔离结构, 位于该绝缘层上, 以在各隔离结构之间至少定义出该元件区;

一第一第二型离子植入区, 位于该第一型阱区中;

- 10 一第一第一型离子植入区, 位于该第一型阱区中且位于该第一第二型离子植入区与该隔离结构之间, 且紧邻该第一第二型离子植入区, 其中该第一第二型离子植入区与该第一第一型离子植入区是电性连接以构成该绝缘层有硅的硅控整流器结构的阳极;

- 15 一第二第一型离子植入区, 位于该第一型阱区中, 且位于该第一第二型离子植入区与该第一栅极结构之间, 且紧邻该第一第二型离子植入区;

一第三第一型离子植入区, 位于该第一型与该第二型阱区之中, 且位于该第一型与该第二型阱区的接合面位置, 并位于该第一与该第二栅极结构之间;

一第二第二型离子植入区, 位于该第二型阱区中; 以及

- 20 一第四第一型离子植入区, 位于该第二型阱区中且位于该第二第二型离子植入区与该第二栅极结构之间, 且紧邻该第二第二型离子植入区, 其中该第二第二型离子植入区与该第四第一型离子植入区是电性连接以构成该绝缘层有硅的硅控整流器结构的阴极。

- 25 2. 如权利要求 1 所述的绝缘层有硅的硅控整流器结构, 其中该衬底为 P 型衬底。

3. 如权利要求 1 所述的绝缘层有硅的硅控整流器结构, 其中该第一型阱区为 N 型浅掺杂, 而该第二型阱区为 P 型浅掺杂。

- 30 4. 如权利要求 3 所述的绝缘层有硅的硅控整流器结构, 其中该第一与该第二第二型离子植入区为 P 型重掺杂, 而该第一、该第二、该第三与该第四第一型离子植入区为 N 型重掺杂。

5. 如权利要求 4 所述的绝缘层有硅的硅控整流器结构, 还包括两第一

浅掺杂区域，位于该第一栅极结构下，且分别与该第三第一型离子植入区与该第二第一型离子植入区相邻。

6. 如权利要求5所述的绝缘层有硅的硅控整流器结构，其中该两第一浅掺杂区域为N型。

5 7. 如权利要求5所述的绝缘层有硅的硅控整流器结构，还包括两第二浅掺杂区域，位于该第二栅极结构下，且分别与该第三第一型离子植入区与该第四第一型离子植入区相邻。

8. 如权利要求7所述的绝缘层有硅的硅控整流器结构，其中该两第二浅掺杂区域为N型。

10 9. 如权利要求1所述的绝缘层有硅的硅控整流器结构，其中该隔离结构为浅沟渠隔离结构。

10. 如权利要求1所述的绝缘层有硅的硅控整流器结构，其中该绝缘层为埋入式氧化层。

11. 一种绝缘层有硅的硅控整流器结构，包括：一衬底，一绝缘层，
15 位于该衬底之上，一第一型阱区与一第二型阱区，该第一型与第二型阱区彼此相连，且位于一元件区中，一第一栅极结构，位于该第一型阱区之上，一第二栅极结构，位于该第二型阱区之上，其特征是还包括：

多个隔离结构，位于该绝缘层上，以在各该隔离结构之间至少定义出该元件区；

20 一第一第二型离子植入区，位于该第一型阱区中，并邻接于该第一栅极结构；

一第一第一型离子植入区，位于该第一型阱区中且位于该第一第二型离子植入区与该隔离结构之间，且紧邻该第一第二型离子植入区，其中该第一第二型离子植入区与该第一第一型离子植入区是电性连接以构成该绝
25 缘层有硅的硅控整流器结构的阳极；

一第二第二型离子植入区，位于该第一型与该第二型阱区之中，且位于该第一型与该第二型阱区的接合面位置，并位于该第一与该第二栅极结构之间；

一第二第一型离子植入区，位于该第二型阱区中；

30 一第三第二型离子植入区，位于该第二型阱区中且位于该第二第一型离子植入区与该隔离结构之间，且紧邻该第二第一型离子植入区，其中该

第二第一型离子植入区与该第三第二型离子植入区是电性连接以构成该绝缘层有硅的硅控整流器结构的阴极；以及

一第四第二型离子植入区，位于该第二型阱区中，且位于该第二第一型离子植入区与该第二栅极结构之间，且紧邻该第二第一型离子植入区。

5 12. 如权利要求 11 所述的绝缘层有硅的硅控整流器结构，其中该衬底为 P 型衬底。

13. 如权利要求 11 所述的绝缘层有硅的硅控整流器结构，其中该第一型阱区为 N 型浅掺杂，而该第二型阱区为 P 型浅掺杂。

10 14. 如权利要求 13 所述的绝缘层有硅的硅控整流器结构，其中该第一与该第二第一型离子植入区为 N 型重掺杂，而该第一、该第二、该第三与该第四第二型离子植入区为 P 型重掺杂。

15. 如权利要求 14 所述的绝缘层有硅的硅控整流器结构，还包括两第一浅掺杂区域，位于该第一栅极结构下，且分别与该第一第二型离子植入区与该第二第二型离子植入区相邻。

15 16. 如权利要求 15 所述的绝缘层有硅的硅控整流器结构，其中该两第一浅掺杂区域为 P 型。

17. 如权利要求 15 所述的绝缘层有硅的硅控整流器结构，还包括两第二浅掺杂区域，位于该第二栅极结构下，且分别与该第二第二型离子植入区与该第四第二型离子植入区相邻。

20 18. 如权利要求 17 所述的绝缘层有硅的硅控整流器结构，其中该两第二浅掺杂区域为 P 型。

19. 如权利要求 11 所述的绝缘层有硅的硅控整流器结构，其中该隔离结构为浅沟渠隔离结构。

25 20. 如权利要求 11 所述的绝缘层有硅的硅控整流器结构，其中该绝缘层为埋入式氧化层。

21. 一种绝缘层有硅的硅控整流器结构，包括：一衬底，一绝缘层，位于该衬底之上，一第一型阱区与一第二型阱区，该第一型与第二型阱区彼此相连，且位于一元件区中，一第一栅极结构，位于该第一型阱区之上，一第二栅极结构，位于该第二型阱区之上，其特征是还包括：

30 多个隔离结构，位于该绝缘层上，以在各该隔离结构之间至少定义出该元件区；

一第一第一型离子植入区，位于该第一型阱区中，且仅紧邻部分该第一栅极结构的侧壁；

一第一第二型离子植入区，位于该第一型阱区中，且紧邻于该第一第一型离子植入区；

- 5 一第二第一型离子植入区，位于该元件区中，且位于该第一第二型离子植入区与该隔离结构之间，且与该第一型阱区相邻，其中该第一第二型离子植入区与该第二第一型离子植入区是电性连接以构成该绝缘层有硅的硅控整流器结构的阳极；

- 10 一第三第一型离子植入区，位于该第一型与该第二型阱区之中，且位于该第一型与该第二型阱区的接合面位置，并位于部分该第一与该第二栅极结构的侧壁之间；

一第二第二型离子植入区，位于该元件区中且紧邻该第二型阱区；以及

- 15 一第四第一型离子植入区，位于该第二型阱区中且位于该第二第二型离子植入区与部分该第二栅极结构的侧壁之间，其中该第二第二型离子植入区与该第四第一型离子植入区是电性连接以构成该绝缘层有硅的硅控整流器结构的阴极。

22. 如权利要求 21 所述的绝缘层有硅的硅控整流器结构，其中该衬底为 P 型衬底。

- 20 23. 如权利要求 21 所述的绝缘层有硅的硅控整流器结构，其中该第一型阱区为 N 型浅掺杂，而该第二型阱区为 P 型浅掺杂。

24. 如权利要求 23 所述的绝缘层有硅的硅控整流器结构，其中该第一与该第二第二型离子植入区为 P 型重掺杂，而该第一、该第二、该第三与该第四第一型离子植入区为 N 型重掺杂。

- 25 25. 如权利要求 21 所述的绝缘层有硅的硅控整流器结构，其中该隔离结构为浅沟渠隔离结构。

26. 如权利要求 21 所述的绝缘层有硅的硅控整流器结构，其中该绝缘层为埋入式氧化层。

- 30 27. 一种绝缘层有硅的硅控整流器结构，包括：一衬底，一绝缘层，位于该衬底之上，一第一型阱区与一第二型阱区，该第一型与第二型阱区彼此相连，且位于一元件区中，一第一栅极结构，位于该第一型阱区之上，

一第二栅极结构，位于该第二型阱区之上，其特征是还包括：

多个隔离结构，位于该绝缘层上，以在各该隔离结构之间至少定义出该元件区；

5 一第一第二型离子植入区，位于该第一型阱区中，并邻接于部分该第一栅极结构的侧壁；

一第一第一型离子植入区，位于该元件区中且位于该第一第二型离子植入区与该隔离结构之间，且与该第一第二型离子植入区相邻，其中该第一第二型离子植入区与该第一第一型离子植入区是电性连接以构成该绝缘层有硅的硅控整流器结构的阳极；

10 一第二第二型离子植入区，位于该第一型与该第二型阱区之中，且位于该第一型与该第二型阱区的接合面位置，并位于部分该第一与该第二栅极结构的侧壁之间；

一第三第二型离子植入区，位于该第二型阱区中，且仅邻接部分该第二栅极结构的侧壁；

15 一第二第一型离子植入区，位于该第二型阱区中，且与该第三第二型离子植入区紧邻；以及

一第四第二型离子植入区，位于该元件区中且位于该第二第一型离子植入区与另一该隔离结构之间，并且与该第二型阱区相邻，其中该第二第一型离子植入区与该第四第二型离子植入区是电性连接以构成该绝缘层有硅的硅控整流器结构的阴极。

20

28. 如权利要求 27 所述的绝缘层有硅的硅控整流器结构，其中该衬底为 P 型衬底。

29. 如权利要求 28 所述的绝缘层有硅的硅控整流器结构，其中该第一型阱区为 N 型浅掺杂，而该第二型阱区为 P 型浅掺杂。

25 30. 如权利要求 29 所述的绝缘层有硅的硅控整流器结构，其中该第一与该第二第一型离子植入区为 N 型重掺杂，而该第一、该第二、该第三与该第四第一型离子植入区为 P 型重掺杂。

31. 如权利要求 27 所述的绝缘层有硅的硅控整流器结构，其中该隔离结构为浅沟渠隔离结构。

30 32. 如权利要求 27 所述的绝缘层有硅的硅控整流器结构，其中该绝缘层为埋入式氧化层。

33. 一种具有如权利要求 1 所述的绝缘层有硅的硅控整流器的静电放电防护电路，耦接于一输出焊垫与一内部电路之间，该电路包括：

该具有绝缘层有硅的硅控整流器，具有一阳极、一阴极、一第一栅极与一第二栅极，其中该阳极耦接至该输出焊垫，而该阴极耦接至一接地端；以及

一静电放电检测电路，耦接于该输出焊垫与该接地端之间，该静电放电检测电路还至少包括两个输出端分别与该具有绝缘层有硅的硅控整流器的该第一栅极与该第二栅极耦接。

34. 如权利要求 33 所述的具有如权利要求 1 所述的绝缘层有硅的硅控整流器的静电放电防护电路，其中该具有绝缘层有硅的硅控整流器为一 N 型绝缘层有硅的硅控整流器，且该第一栅极与该第二栅极为 N 型掺杂。

35. 如权利要求 33 所述的具有如权利要求 1 所述的绝缘层有硅的硅控整流器的静电放电防护电路，其中该具有绝缘层有硅的硅控整流器为一 P 型绝缘层有硅的硅控整流器，且该第一栅极与该第二栅极为 P 型掺杂。

36. 如权利要求 34 所述的具有如权利要求 1 所述的绝缘层有硅的硅控整流器的静电放电防护电路，其中该静电放电检测电路还包括：

一第二型 MOS 晶体管，其源极耦接至该输出焊垫，且衬底与源极彼此连接；

一第一型 MOS 晶体管，其漏极耦接至该第二型 MOS 晶体管的漏极，源极耦接至一接地端，栅极耦接至该第二型 MOS 晶体管的栅极，且衬底与源极彼此连接，其中该第一型 MOS 晶体管与该第二型 MOS 晶体管的漏极均耦接到该 N 型绝缘层有硅的硅控整流器的该第一栅极与该第二栅极；

一电阻，耦接于该输出焊垫与该第二型 MOS 晶体管的栅极；以及

一电容器，耦接于该第二型 MOS 晶体管的栅极与该接地端之间。

37. 一种具有如权利要求 1 所述的绝缘层有硅的硅控整流器的静电放电防护电路，耦接于一第一电压源与一第二电压源之间，该电路包括：

该具有绝缘层有硅的硅控整流器，具有一阳极、一阴极、一第一栅极与一第二栅极，其中该阳极耦接至该第一电压源；

一静电放电检测电路，耦接于该第一电压源与该第二电压源之间，该静电放电检测电路还至少包括两个输出端分别与该具有绝缘层有硅的硅控整流器的该第一栅极与该第二栅极耦接；以及

一二极管串，由多个二极管所构成，该二极管串的阳极耦接至该具有绝缘层有硅的硅控整流器的阴极，而该二极管串的阴极耦接至该第二电压源。

38. 如权利要求 37 所述的具有绝缘层有硅的硅控整流器的静电放电防护电路，其中该具有绝缘层有硅的硅控整流器为一 N 型绝缘层有硅的硅控整流器，且该第一栅极与该第二栅极为 N 型掺杂。

39. 如权利要求 37 所述的具有绝缘层有硅的硅控整流器的静电放电防护电路，其中该具有绝缘层有硅的硅控整流器为一 P 型绝缘层有硅的硅控整流器，且该第一栅极与该第二栅极为 P 型掺杂。

40. 如权利要求 39 所述的具有绝缘层有硅的硅控整流器的静电放电防护电路，其中该静电放电检测电路还包括：

一第一第二型 MOS 晶体管，其源极耦接至该第一电压源，且衬底与源极彼此连接；

一第一第一型 MOS 晶体管，其漏极耦接至该第一第二型 MOS 晶体管的漏极，源极耦接至该第二电压源，栅极耦接至该第一第二型 MOS 晶体管的栅极，且衬底与源极彼此连接；

一第二第二型 MOS 晶体管，其源极耦接至该第一电压源，且衬底与源极彼此连接；

一第二第一型 MOS 晶体管，其漏极耦接至该第二第二型 MOS 晶体管的漏极，源极耦接至该第二电压源，栅极耦接至该第二第二型 MOS 晶体管的栅极与该第一第二型 MOS 晶体管及第一第一型 MOS 晶体管的漏极，且衬底与源极彼此连接，该第二第一型 MOS 晶体管与该第二第二型 MOS 晶体管的漏极均耦接到该 P 型绝缘层有硅的硅控整流器的该第一栅极与该第二栅极；

一电阻，耦接于该第一电压源与该第一第二型 MOS 晶体管的栅极；以及

一电容器，耦接于该第一第二型 MOS 晶体管的栅极与该第二电压源之间。

绝缘层有硅的低电压触发硅控整流器 及静电放电防护电路

5

技术领域

本发明是有关于一种静电放电防护电路，且特别是有关于一种用于绝缘层上有硅(silicon on insulator)技术的硅控整流器(silicon controlled rectifier, SCR)结构，用以提供集成电路的静电放电防护。

10

背景技术

近年来，绝缘层上有硅的技术在集成电路(integrated circuit, IC)领域中逐渐展露头角。SOI技术是在一衬底中嵌入一层绝缘层并延伸于半导体元件的主动区下方。SOI技术带来许多结构上与物理特性上的改良，如

15 SOI结构具有几近完美的次临界电压飘移(sub-threshold swing)、无闩锁(latch-up free)、低关闭状态漏电流(low off-state leakage)、低操作电压与高电流驱动能力等等。然而，SOI结构也带来静电放电(electrostatic discharge, ESD)的问题，这归结于埋入氧化层(绝缘层)的低热导性以及它的浮动本体效应(floating body effect)。

20 ESD通常在处理IC封装时会对半导体元件造成损坏与破坏。对CMOS IC而言，具有极高电压的ESD通常会对元件中的很薄的栅极氧化层造成破坏。一般而言，为了防止ESD对IC电路造成损害，便在IC电路芯片中整合ESD防护电路，其通常为一开关电路。当有ESD事件发生时，ESD防护电路会被瞬间导通而将高电压的ESD电流经由此保护电路传导到接地端，而不会使

25 ESD电流进入IC电路本身；而在一般操作时，ESD电路为关闭状态，不会对IC电路的运作造成影响。

对整块/非外延(bulk non-epitaxial)CMOS制程而言，SCR元件通常具有低保持电压(V_{hold} ，约1V)。在产生ESD电压时，在SCR元件上的功率消耗(功率 $\approx I_{ESD} \times V_{hold}$)小于其他ESD防护电路元件(如二极管、MOS、BJT或场氧化物元件)。因此，SCR可以在很小的元件区域中承受较高的ESD电位，并

30 被常使用来作为主要的ESD防护电路。

在次微米 CMOS 领域, SCR 元件的开关电压 (switching voltage) 超过 30V, 然而因为在次微米下的 CMOS 的崩溃电压低于 20V, 因此 SCR 元件并不适用。为此, 必须再提供额外的辅助电路整合到芯片上的 ESD 防护电路, 以提供一完整的 ESD 防护电路。

5 接着简单介绍几种已知常见的静电放电防护电路的硅控整流器, 并说明其缺点。图 1 示出了已知的静电放电防护电路的硅控整流器的结构剖面图。图 1 所示的 SCR 元件披露于美国专利 No. 5, 012, 317, 其架构于一 P 型衬底 10 上, 衬底 10 中有一 N 型阱 12。在 N 型阱中具有 N⁺离子植入区 14a 与 P⁺离子植入区 14b 作为 SCR 元件的阳极。此外, 在 P 型衬底 10 中具有
10 N⁺离子植入区 14c 与 P⁺离子植入区 14d 作为 SCR 元件的阴极。图 1 所示的 SCR 元件仅利用 P 型衬底 10/N 型阱 12 间的接面崩溃来加以触发操作, 其具有高开关电压 (在 0.35 μ m 的 CMOS 制程中大于 30V)。因为具有高开关电压特征, 所以需要额外的辅助电路来提供完整的 ESD 防护电路, 此为其缺点。

图 2 示出了已知的静电放电防护电路的硅控整流器 (modified lateral
15 SCR) 的结构剖面图。图 2 所示的 SCR 元件结构为图 1 的改进, 披露于美国专利 No. 5, 225, 702, 其在 P 型衬底 20 与 N 型阱 22 间增加一 N⁺离子植入区 24c, 以分别扩散到 P 型衬底 20 与 N 型阱 22。藉由此 N⁺扩散区, SCR 元件的开关电压可以降低到 P 型衬底 20 与 N⁺型扩散区 24c 间的崩溃电压 (在 0.35 μ m 的 CMOS 制程中约为 12V)。如此可以让 SCR 元件具有低开关电压,
20 而得以更迅速地将 ESD 放电。

图 3 示出了已知的静电放电防护电路的硅低电压触发控整流器 (low-voltage-triggering SCR) 的结构剖面图, 披露于美国专利
No. 5, 453, 384。图 3 所示的结构是针对图 2 再做进一步的改进, 其在 P 型衬底 30 与 N⁺型扩散区 38 上, 增加一 NMOS 晶体管元件 (栅极 44、源极与漏极 38, 40a)。如此, SCR 元件的开关电压可以降低到增加到 P 型衬底 20 与
25 N⁺阱区 32 上的 NMOS 晶体管的漏极崩溃电压 (在 0.35 μ m 的 CMOS 制程中约为 8V)。如此可以让 SCR 元件具有低开关电压, 而得以更迅速地将 ESD 放电, 也不需要额外的辅助电路。

图 4 为已知的一种绝缘层有硅的双稳态硅控整流器的开关电路结构剖面图, 披露于美国专利 No. 6, 015, 992。如图 4 所示, 双稳态硅控整流器的
30 开关电路是架构于衬底 50 与绝缘层 56 之上。在此架构之下, SCR 元件的

P-N-P-N(66-54-52-58)放电路径被绝缘层 60 所阻隔，为此图 4 的架构增加两组额外的连接线 74、72 来连接被分开的 P-N-P 与 N-P-N 路径，但此连接所形成的 SCR 结构无法像一般已知 SCR 元件具有低的导通电压，因此其对 IC 的防护效果并不佳。

5

发明内容

因此本发明是提出一种绝缘层上有硅的低电压触发硅控整流器结构及其静电放电防护电路，其为具有低触发电压的 SCR 结构。

本发明是提出一种绝缘层上有硅部分耗尽层结构

- 10 (partially-depleted)的低电压触发硅控整流器结构，其架构于衬底与绝缘层之上。绝缘层位于衬底之上，其可为埋入式氧化层。多个隔离结构位于绝缘层上，用以在各隔离结构之间至少定义出一元件区。第一型阱区(例如 N 型阱)与第二型阱区(P 型阱)，其中第一型与第二型阱区彼此相连，且位于元件区中。第一栅极结构位于第一型阱区之上，而第二栅极结构位于第二型阱区之上。于前述的第一型阱中，还包括第一第二型离子植入区
- 15 (P 型)，第一第一型离子植入区(N 型)位于第一第二型离子植入区与隔离结构之间，且紧邻第一第二型离子植入区，其中第一第二型离子植入区与第一第一型离子植入区构成绝缘层有硅的硅控整流器结构的阳极。第二第一型离子植入区，位于该第一型阱区中，且位于该第一第二型离子植入区与该第一栅极结构之间，且紧邻该第一第二型离子植入区。第三第一型离子
- 20 (N 型)植入区是位于第一型与第二型阱区之中，且位于第一型与第二型阱区的接合面位置，并位于第一与第二栅极结构之间。在前述的第二型阱区中，还包括第二第二型离子(P 型)植入区，与第四第一型离子(N 型)植入区，其位于第二型阱区中且位于第二第二型离子植入区与第二栅极结构之间，且
- 25 紧邻第二第二型离子植入区，其中第二第二型离子植入区与第四第一型离子植入区构成绝缘层有硅的硅控整流器结构的阴极。

- 本发明还提出一种绝缘层上有硅部分耗尽层结构的低电压触发硅控整流器结构，其架构于衬底与绝缘层之上。绝缘层位于衬底之上，其可为埋入式氧化层。多个隔离结构位于绝缘层上，用以在各隔离结构之间至少
- 30 定义出一元件区。第一型阱区(例如 N 型阱)与第二型阱区(P 型阱)，其中第一型与第二型阱区彼此相连，且位于元件区中。第一栅极结构位于第一型

阱区之上，而第二栅极结构则位于第二型阱区之上。在前述的第一型阱中，具有第一第二型离子植入区，紧邻于第一栅极结构，第一第一型离子植入区，位于第一型阱区中且位在第一第二型离子植入区与隔离结构之间，且紧邻第一第二型离子植入区，其中第一第二型离子植入区与第一第一型离子植入区是电性连接以构成绝缘层有硅的硅控整流器结构的阳极。第二第二型离子植入区位于第一型与第二型阱区之中，且位于第一型与第二型阱区的接合面位置，并位于第一与第二栅极结构之间。第二第一型离子植入区，位于第二型阱区中。第三第二型离子植入区位于第二型阱区中且位于第二第一型离子植入区与隔离结构之间，且紧邻第二第一型离子植入区，其中第二第一型离子植入区与第三第二型离子植入区是电性连接以构成绝缘层有硅的硅控整流器结构的阴极。第四第二型离子植入区位于第二型阱区中，且位于第二第一型离子植入区与第二栅极结构之间，且紧邻第二第一型离子植入区。

本发明还提出一种绝缘层有硅完全耗尽层结构(fully-depleted)的硅控整流器结构，其架构于衬底与绝缘层之上。绝缘层位于衬底之上，其可为埋入式氧化层。多个隔离结构位于绝缘层上，用以在各隔离结构之间至少定义出一元件区。第一型阱区(例如N型阱)与第二型阱区(P型阱)，其中第一型与第二型阱区彼此相连，且位于元件区中。第一栅极结构位于第一型阱区之上，而第二栅极结构则位于第二型阱区之上。第一第一型离子植入区位于第一型阱区中，且仅紧邻部分第一栅极结构的侧壁。第一第二型离子植入区，位于部分第一型阱区中，且紧邻于第一第一型离子植入区。第二第一型离子植入区位于元件区中，且位于第一第二型离子植入区与隔离结构之间，且与第一型阱区相邻，其中第一第二型离子植入区与第二第一型离子植入区是电性连接以构成绝缘层有硅的硅控整流器结构的阳极。第三第一型离子植入区位于第一型与第二型阱区之中，且位于第一型与该第二型阱区的接合面位置，并位于部分第一与第二栅极结构的侧壁之间。第二第二型离子植入区位于元件区中且紧邻第二型阱区。第四第一型离子植入区位于部分第二型阱区中且位于第二第二型离子植入区与部分第二栅极结构的侧壁之间，其中第二第二型离子植入区与第四第一型离子植入区是电性连接以构成绝缘层有硅的硅控整流器结构的阴极。

本发明还提出一种绝缘层有硅完全耗尽层结构的硅控整流器结构，其

架构于衬底与绝缘层之上。绝缘层位于衬底之上，其可为埋入式氧化层。

多个隔离结构位于绝缘层上，用以在各隔离结构之间至少定义出一元件

区。第一型阱区(例如N型阱)与第二型阱区(P型阱)，其中第一型与第二型

阱区彼此相连，且位于元件区中。第一栅极结构位于第一型阱区之上，而

5 第二栅极结构则位于第二型阱区之上。第一第二型离子植入区，位于第一

型阱区中，并邻接于部分第一栅极结构的侧壁。第一第一型离子植入区位于

元件区中且位于第一第二型离子植入区与隔离结构之间，且与第一第二

型离子植入区相邻，其中第一第二型离子植入区与第一第一型离子植入区

是电性连接以构成绝缘层有硅的硅控整流器结构的阳极。第二第二型离子

10 植入区，位于部分第一型与该第二型阱区之中，且位于第一型与第二型阱

区的接合面位置，并位于部分第一与第二栅极结构的侧壁之间。第三第二

型离子植入区位于部分第二型阱区中，且紧邻部分第二栅极结构的侧壁。

第二第一型离子植入区位于部分第二型阱区中，且与第三第二型离子植入

区紧邻。第四第二型离子植入区位于元件区中且位于第二第一型离子植入

15 区与另一隔离结构之间，并且与第二型阱区相邻，其中第二第一型离子植

入区与第四第二型离子植入区电性连接以构成绝缘层有硅的硅控整流器结

构的阴极。

本发明提出一种具有如上所述的绝缘层有硅的硅控整流器的静电放电

防护电路，耦接于输出焊垫与内部电路之间，电路包括具有绝缘层有硅

20 的硅控整流器与静电放电检测电路。具有绝缘层有硅的硅控整流器具有阳

极、阴极、第一栅极与第二栅极，其中阳极耦接至输出焊垫，而阴极耦

接至接地端。静电放电检测电路耦接于输出焊垫与接地端之间，静电放

电检测电路还至少包括两个分别与具有绝缘层有硅的硅控整流器的第一栅

极与第二栅极耦接的输出端。

25 本发明提出一种具有如上所述的绝缘层有硅的硅控整流器的静电放电

防护电路，耦接于第一电压源与第二电压源之间，该电路包括具有绝缘层

有硅的硅控整流器、静电放电检测电路与二极管串。具有绝缘层有硅的硅

控整流器具有阳极、阴极、第一栅极与第二栅极。其中阳极耦接至第一电

压源。静电放电检测电路耦接于第一电压源与第二电压源之间，静电放

30 电检测电路还至少包括两个分别与具有绝缘层有硅的硅控整流器的第一栅

极与第二栅极耦接的输出端。二极管串由多个二极管所构成，二极管串的阳

极耦接至具有绝缘层有硅的硅控整流器的阴极，而二极管串的阴极耦接至该第二电压源。

附图说明：

- 5 图 1 示出了已知的静电放电防护电路的硅控整流器的结构剖面图；
 图 2 示出了已知的静电放电防护电路的硅控整流器的结构剖面图；
 图 3 示出了已知的静电放电防护电路的硅低电压触发控整流器的结构剖面图；
 图 4 示出了已知一种绝缘层有硅的双稳态硅控整流器的开关电路结构
10 剖面图；
 图 5A 是依据本发明的第一较佳实施例所绘制的部分耗尽型绝缘层有硅的硅控整流器结构的剖面图；
 图 5B 示出了图 5A 的立体透视示意图；
 图 6A 是依据本发明的第二较佳实施例所绘制的部分耗尽型绝缘层有硅
15 的硅控整流器结构的剖面图；
 图 6B 示出了图 6A 的立体透视示意图；
 图 7A 是依据本发明的第三较佳实施例所绘制的完全耗尽型绝缘层有硅的硅控整流器结构的剖面图；
 图 7B 示出了图 7A 的立体透视示意图；
20 图 8A 是依据本发明的较佳实施例所绘制的完全耗尽型绝缘层有硅的硅控整流器结构的剖面图；
 图 8B 示出了图 8A 的立体透视示意图；
 图 9A 与图 9B 分别示出了本发明的绝缘层有硅的硅控整流器的电路符号图；
25 图 9C 与图 9D 分别示出了本发明的具有绝缘层有硅的硅控整流器的静电放电防护电路示意图；
 图 9E 示出了图 9C 所示的电路的一范例电路；
 图 10A 与图 10B 分别示出了本发明的另一具有绝缘层有硅的硅控整流器的静电放电防护电路示意图；以及
30 图 10C 示出了图 10B 所示的电路的一范例电路。

具体实施方式

为了让本发明的上述目的、特征和优点能更明显易懂，下文结合附图对较佳实施例作详细说明如下。

实施例

5 第一实施例

图 5A 是依据本发明的较佳实施例所绘制的部分耗尽型 (partially-depleted) 绝缘层有硅的硅控整流器结构的剖面图；图 5B 则示出了图 5A 的立体透视示意图。为了使图面简化清楚起见，省略了在图 5B 中的阴极与阳极处的连接线。

- 10 请同时参考图 5A 与图 5B, 绝缘层有硅的硅控整流器结构是架构于衬底 100 与绝缘层 102 上, 绝缘层上有一层硅层, 绝缘层有硅的硅控整流器便形成于硅层中。此衬底 100 例如可以为 P 型衬底, 而绝缘层可以例如是埋入式氧化层。多个隔离结构 104, 位于绝缘层 102 上, 以在各隔离结构 104 之间至少定义出一元件区。此隔离结构可以为浅沟渠隔离 (shallow trench isolation) 结构。在 15 在两隔离结构 104 间的元件区中具有第一型阱区 106 与第二型阱区 108, 第一型阱区 106 与第二型阱区 108 彼此相连。在此实施例中, 第一型阱区为 N 型阱, 而第二型阱区为 P 型阱, 其分别为浅掺杂的浓度。

- 接着, 在第一型阱区 106 与第二型阱区 108 分别具有第一栅极结构 122 20 与第二栅极结构 132。栅极结构 122/132 可以与一般 MOS 晶体管的栅极有相同的结构, 例如栅氧化层, 掺杂的多晶硅 (例如 N 型浓掺杂) 与间隙壁等, 在此便不多加以冗述, 本技术领域的人员应当了解该栅极的结构。栅极结构 122/132 是作为虚拟栅极 (dummy gate) 之用, 可以降低 SCR 元件的开关电压。第一与第二栅极结构 122/132 的下方的阱区 106/108 中, 亦即在栅 25 极结构的间隙壁的下方可以分别形成所谓的浅掺杂区 120/118 与 130/128, 如 N 型的浅掺杂区。

- 在第一型阱 106 中还具有第一第二型离子植入区 114, 如 P 型浓掺杂, 以及第一第一型离子植入区 116, 如 N 型浓掺杂。第一第一型离子植入区 116 位于第一型阱区 106 中且位于第一第二型离子植入区 114 与隔离结构 30 104 之间, 并且紧邻第一第二型离子植入区 114。第一第二型离子植入区 (P+ 型) 114 与第一第一型离子植入区 116 (N+ 型) 以电性连接构成绝缘层有硅的

硅控整流器结构的阳极。此外，在第一型阱 106 中还包括第二第一型离子植入区 112，如 N 型浓掺杂，且位于第一第二型离子植入区 114 与第一栅极结构 122 之间，且紧邻第一第二型离子植入区 114。

第三第一型离子植入区 110，如 N 型浓掺杂 (N+)，位于第一型阱区 106 与第二型阱区 108 之中，且位于第一型阱区 106 与第二型阱区 108 的接合面位置，并位于第一与第二栅极结构 122/132 之间。第三第一型离子植入区 110 例如以扩散方式或离子布植方式完成。

在第二型阱区 108 还包括第二第二型离子植入区 124，如 P 型浓掺杂 (P+)，与第四第一型离子植入区 126，如 N 型浓掺杂 (N+)。第四第一型离子植入区 126 位于第二型阱区 108 中且位于第二第二型离子植入区 124 与第二栅极结构 132 之间，且紧邻第二第二型离子植入区 124。第二第二型离子植入区 124 与第四第一型离子植入区 126 构成绝缘层有硅的硅控整流器结构的阴极。

当有正的转态电压施加于如图 5 的 SCR 结构的阳极时，此正转态电压会导致电流从阳极的第一第二型离子植入区 114 流到第一型阱区 106。假如此正转态电压高于第三第一型离子植入区 110 与第二型阱区 108 的接合面的崩溃电压时，第三第一型离子植入区 110 与第二型阱区 108 的接合面便会崩溃。此电流于是通过第二型阱区 108 与第四第一型离子植入区 126 的接合面从第二型阱区 108 流到第四第一型离子植入区 126 到达 SCR 元件的阴极。此外，也可以触发包含第二栅极结构 132 的 NMOS 晶体管使之导通，此导致电流从第一型阱区 106 流到第二型阱区 108。亦即产生顺向偏压使图 5 的 SOI-SCR 元件导通。

当有负的转态电压施加于图 5 的 SCR 结构的阳极时，此负转态电压会导致电流从阴极的第二第二型离子植入区 124 流到第二型阱区 108。在此偏压状态下，第二型阱区 108 与第一型阱 106 间的接合面为顺向偏压，故电流会流到第一型阱中。最后，电流从第一型阱区 106 流到 SOI-SCR 元件的阳极。

第二实施例

图 6A 是依据本发明的较佳实施例所绘制的部分耗尽型绝缘层有硅的硅控整流器结构的剖面图；图 6B 则示出了图 6A 的立体透视示意图。为了使图面简化清楚起见，省略了在图 6B 中的阴极与阳极处的连接线。图 6A 所

示的结构为图 5A 结构的变化。

请同时参考图 6A 与图 6B, 绝缘层有硅的硅控整流器结构架构于衬底 130(如 P 型)与绝缘层 132(如埋入式氧化层)上, 绝缘层 132 上有一层硅层, 绝缘层有硅的硅控整流器形成于硅层中。多个隔离结构 134(如浅沟渠隔离结构), 位于绝缘层 132 上, 以在各隔离结构 134 之间至少定义出一元件区。在 5 在两隔离结构 134 间的元件区中具有第一型阱区 138(如 N 型)与第二型阱区 136(如 P 型), 第一型阱区 138 与第二型阱区 136 彼此相连。

接着, 在第一型阱区 138 与第二型阱区 136 分别具有第一栅极结构 150 与第二栅极结构 162。第一与第二栅极结构 150/162 的下方亦可以再分别形成所谓的浅掺杂区 146/148 与 158/160, 如 P 型的浅掺杂区。 10

在第一型阱 138 中, 还包括第一第二型离子植入区 (N+) 144 与第二第二型离子植入区 (P+) 142。第一第一型离子植入区 144 位于第一型阱区 138 中且位于第一第二型离子植入区 142 与隔离结构 134 之间, 且紧邻第一第二型离子植入区 142。第一第二型离子植入区 142 与第一第一型离子植入区 15 144 以电性连接构成绝缘层有硅的硅控整流器结构的阳极。此外, 第二第二型离子植入区 140 (P+) 位于第一型阱区 138 与第二型阱区 136 之中, 且位于第一型阱区 138 与第二型阱区 136 的接合面位置, 并位于第一与第二栅极结构 150/162 之间。

在第二型阱区 136, 包括第二第一型离子植入区 (N+) 154、第三第二型离子植入区 (P+) 152 与第四第二型离子植入区 (P+) 156。第三第二型离子植入区 152 位于第二型阱区 136 中且位于第二第一型离子植入区 154 与隔离结构 134 之间, 且紧邻第二第一型离子植入区 154。第二第一型离子植入区 154 与第三第二型离子植入区 152 构成绝缘层有硅的硅控整流器结构的阴极。此外, 第四第二型离子植入区 156 位于第二型阱区 136 中, 并且位于 20 第二第一型离子植入区 154 与第二栅极结构 162 之间, 且紧邻第二第一型离子植入区 154。

图 6A 所示的 SOI-SCR 元件的操作原理与图 5A 所示的相同, 在此不再多做叙述。

第三实施例

30 图 7A 是依据本发明的较佳实施例所绘制的完全耗尽型 (fully-depleted) 绝缘层有硅的硅控整流器结构的剖面图; 图 7B 则示出了

图 7A 的立体透视示意图。为了使图面简化清楚起见,省略了在图 7B 中的阴极与阳极处的连接线。

请同时参考图 7A 与图 7B,绝缘层有硅的硅控整流器结构架构于衬底 160(如 P 型)与绝缘层 162(如埋入式氧化层)上,绝缘层 162 上有一层硅层,绝缘层有硅的硅控整流器便形成于硅层中。多个隔离结构 164(如浅沟渠隔离结构),位于绝缘层 162 上,以在各隔离结构 164 之间至少定义出一元件区。在两隔离结构 164 间的元件区中具有第一型阱区 168(如 N 型)与第二型阱区 166(如 P 型),第一型阱区 168 与第二型阱区 166 彼此相连。接着,在第一型阱区 168 与第二型阱区 166 分别具有第一栅极结构 178 与第二栅极结构 184。

在第一型阱 168 中还包括第一第一型离子植入区(N+)172,第一第二型离子植入区(P+)174。第一第一型离子植入区 172 位于第一型阱区 168 中,且仅紧邻部分第一栅极结构 178 的侧壁。亦即,第一第一型离子植入区 172 仅植入于第一型阱区 168 的一部分。以图 7B 来看,其植入分布区域的长度小于栅极 178 的长度。第一第二型离子植入区 174 位于第一型阱区 168 中,且紧邻于第一第一型离子植入区 172。第一第二型离子植入区 174 的尺寸与第一第一型离子植入区(N+)172 相同。第二第一型离子植入区(N+)176 位于元件区中,且位于第一第二型离子植入区 174 与隔离结构 164 之间,且与第一型阱区 168 相邻。第一第二型离子植入区 174 与第二第一型离子植入区 176 构成该绝缘层有硅的硅控整流器结构的阳极。

第三第一型离子植入区(N+)170,位于第一型阱区 168 与第二型阱区 166 之中,且位于第一型阱区 168 与第二型阱区 166 的接合面位置,并位于部分第一与第二栅极结构 178/184 的侧壁之间。

第二第二型离子植入区(P+)180 位于元件区中且紧邻第二型阱区 166。第四第一型离子植入区(N+)182 位于第二型阱区 166 中且位于第二第二型离子植入区 180 与部分第二栅极结构 184 的侧壁之间。第二第二型离子植入区 180 与第四第一型离子植入区 182 构成绝缘层有硅的硅控整流器结构的阴极,以图 7B 来看,第四第一型离子植入区 182 的植入分布区域的长度小于栅极 184 的长度。

图 7A 所示的 SOI-SCR 元件的操作原理与图 5A 所示的相同,在此不再多做叙述。

第四实施例

图 8A 是依据本发明的较佳实施例所绘制的完全耗尽型绝缘层有硅的硅控整流器结构的剖面图；图 8B 则示出了图 8A 的立体透视示意图。为了使图面简化清楚起见，省略了在图 8B 中的阴极与阳极处的连接线。图 8A 所示的结构为图 7A 结构的变化。

请同时参考图 8A 与图 8B，绝缘层有硅的硅控整流器结构架构于衬底 200 (如 P 型) 与绝缘层 202 (如埋入式氧化层) 上，绝缘层 202 上有一层硅层，绝缘层有硅的硅控整流器便形成于硅层中。多个隔离结构 204 (如浅沟渠隔离结构)，位于绝缘层 202 上，以在各隔离结构 204 之间至少定义出一元件区。在两隔离结构 204 间的元件区中具有第一型阱区 208 (如 N 型) 与第二型阱区 206 (如 P 型)，第一型阱区 208 与第二型阱区 206 彼此相连。接着，在第一型阱区 208 与第二型阱区 206 分别具有第一栅极结构 216 与第二栅极结构 224。

在第一型阱区 208 中具有第一第二型离子植入区 (P+) 212，其邻接于部分第一栅极结构 216 的侧壁。亦即，第一第二型离子植入区 212 仅植入于第一型阱区 208 的一部分。以图 8B 来看，其植入分布区域的长度小于栅极 216 的长度。第一第一型离子植入区 (N+) 214 位于元件区中且位于第一第二型离子植入区 212 与隔离结构 204 之间，并且与第一型阱区 208 相邻。第一第二型离子植入区 212 与第一第一型离子植入区 214 以电性连接构成绝缘层有硅的硅控整流器结构的阳极。

第二第二型离子植入区 210 位于第一型阱区 208 与第二型阱区 206 之中，且位于第一型阱区 208 与第二型阱区 206 的接合面位置，并位于部分第一与第二栅极结构 216/224 的侧壁之间。

第三第二型离子植入区 (P+) 222 位于第二型阱区 206 中，且仅邻接部分第二栅极结构 224 的侧壁。第二第一型离子植入区 (N+) 220 位于部分第二型阱区 206 中，且与第三第二型离子植入区 222 紧邻。亦即，第三第二型离子植入区 222 与第二第一型离子植入区 220 仅植入于第二型阱区 206 的一部分。以图 8B 来看，其植入分布区域的长度小于栅极 224 的长度。第四第二型离子植入区 218 (P+) 位于元件区中且位于第二第一型离子植入区 220 与另一隔离结构 204 之间，并且与第二型阱区 206 相邻。第二第一型离子植入区 220 与第四第二型离子植入区 218 以电性连接构成绝缘层有硅的硅控

整流器结构的阴极。

图 8A 所示的 SOI-SCR 元件的操作原理与图 5A 所示的相同，在此不再多做叙述。

接着，请参考图 9A 与图 9B，其分别示出了第一到第四实施例所述的绝缘层有硅的硅控整流器的电路符号图。如图 9A 所示，N 型 SOI-SCR 元件 300 为一四端点的电路元件，具有阴极与阳极，以及两个栅极 G1、G2。此两个栅极 G1、G2 为 N 型掺杂的栅极，其可以对应到图 5A、5B 与图 7A、7B 的结构。其次，如图 9B 所示，P 型 SOI-SCR 元件 302 为一四端点的电路元件，具有阴极与阳极，以及两个栅极 G1、G2。此两个栅极 G1、G2 为 P 型掺杂的栅极，其可以对应到图 6A、6B 与图 8A、8B 的结构。

接着，将说明如何将本发明的 SOI-SCR 元件应用于 IC 电路的芯片上 ESD 防护电路。

第五实施例

图 9C 示出了本发明的具有绝缘层有硅的硅控整流器的静电放电防护电路示意图。如图 9C 所示，具有 N 型绝缘层有硅的硅控整流器 (N-type SOI-SCR) 的静电放电防护电路耦接于输出焊垫 310 与内部电路 (未绘出) 之间。该电路包括：具有 N 型的绝缘层有硅的硅控整流器 314 与静电放电检测电路 312。N 型绝缘层有硅的硅控整流器包含阳极、阴极、第一栅极 G1 与第二栅极 G2。阳极耦接至输出焊垫 310，而阴极耦接至接地端。静电放电检测电路 312 耦接于输出焊垫 310 与接地端之间，静电放电检测电路 312 还至少包括两个分别与具有绝缘层有硅的硅控整流器 314 的第一栅极 G1 与第二栅极 G2 耦接的输出端。

图 9D 则示出了具有 P 型绝缘层有硅的硅控整流器 (P-type SOI-SCR) 的静电放电防护电路。图 9C 与图 9D 的差异仅在于将图 9C 中的 N 型 SOI-SCR 元件 314 取代为图 9D 中的 P 型 SOI-SCR 元件 316。

上述的 N 型绝缘层有硅的硅控整流器 314 的内部结构可以是前述的第一或第三实施例的任何一种；P 型绝缘层有硅的硅控整流器 316 的内部结构可以是前述的第二或第四实施例的任何一种。至于使用何种结构要视实际设计所需来加以决定。静电放电检测电路 312 则用来检测 ESD 事件的发生。

在正常的操作模式下，ESD 检测电路 312 在偏压状态下工作，使得 SOI-SCR 元件 314 关闭。当有 ESD 脉冲产生时，ESD 检测电路 312 便会在另

一偏压状态下工作，以触发 SOI-SCR 元件 314 动作，以将 ESD 电流放电。

ESD 检测电路 312 的目的为减少 SOI-SCR 元件 314 的导通时间。

图 9E 示出了图 9C 所示的电路的一范例电路。从图 9E 可以看出，主要为静电放电检测电路 312 的一种范例，在此仅作为说明之用，并非用以限制本发明的范畴。

如图 9E 所示，静电放电检测电路 312 包括第二型 MOS 晶体管 P1，其源极耦接至输出焊垫 310，且衬底与源极彼此连接。第一型 MOS 晶体管 N1，其漏极耦接至第二型 MOS 晶体管 P1 的漏极，源极耦接至接地端，栅极耦接至第二型 MOS 晶体管 P1 的栅极，且衬底与源极彼此连接。第一型 MOS 晶体管 N1 与第二型 MOS 晶体管 P1 的漏极均耦接到具有绝缘层有硅的硅控整流器 314 的第一栅极 G1 与第二栅极 G2。电阻 R 耦接于输出焊垫 310 与第二型 MOS 晶体管 P1 的栅极。电容器 C 耦接于第二型 MOS 晶体管 P1 的栅极与接地端之间。

在正常操作模式时，电阻 R 与电容 C 间的节点会保持在高电位，经过反相器 (P1+N1)，晶体管 P1、N1 的漏极端会变成低电位。此低电位讯号输入到 SOI-SCR 元件 314 的第一栅极 G1 与第二栅极 G2，而使 SOI-SCR 元件 314 关闭。

当有 ESD 电压产生时，若是一正 ESD 电压，电阻 R 与电容 C 间的节点一开始会是低电位，经过反相器 (P1+N1) 的作用，输入到第一栅极 G1 与第二栅极 G2 的讯号为高电位，使得 SOI-SCR 元件 314 打开。SOI-SCR 元件 314 被导通后便可以将 ESD 电流旁通放电掉，而不会进入内部电路。

第六实施例

图 10A 与图 10B 分别示出了本发明的具有绝缘层有硅的硅控整流器的静电放电防护电路示意图。如图 10A 所示，具有绝缘层有硅的硅控整流器的静电放电防护电路耦接于第一电压源 V_{DD} 与第二电压源 V_{SS} 之间。该电路包括：N 型绝缘层有硅的硅控整流器 322、静电放电检测电路 320 与二极管串 324。N 型绝缘层有硅的硅控整流器 322 包括阳极、阴极、第一栅极 G1 与第二栅极 G2，其中阳极耦接至第一电压源 V_{DD} 。静电放电检测电路 320 耦接于第一电压源 V_{DD} 与第二电压源 V_{SS} 之间。静电放电检测电路还至少包括两个输出端分别与 N 型绝缘层有硅的硅控整流器 322 的第一栅极 G1 与第二栅极 G2 耦接。二极管串 324 由多个二极管 D1, D2..., Dn 所构成，二极管串 324 的

阳极耦接至 N 型绝缘层有硅的硅控整流器的阴极，而二极管串 324 的阴极耦接至第二电压源 V_{ss} 。

图 10B 则示出了具有 P 型绝缘层有硅的硅控整流器 (P-type SOI-SCR) 的静电放电防护电路。图 10B 与图 10A 的差异仅在于将图 10A 中的 N 型 SOI-SCR 元件 322 取代为图 10B 中的 P 型 SOI-SCR 元件 323。

上述的 N 型绝缘层有硅的硅控整流器 322 的内部结构可以是前述的第一或第三实施例的任何一种；P 型绝缘层有硅的硅控整流器 323 的内部结构可以是前述的第二或第四实施例的任何一种。至于使用何种结构要视实际设计所需来加以决定。静电放电检测电路 320 则用来检测 ESD 事件的发生。

图 10C 示出了图 10B 所示的电路的一范例电路。图 10C 可以看出，主要为静电放电检测电路 320 的一种范例，在此仅作为说明之用，并非用以限制本发明的范畴。

在正常的操作模式下，ESD 检测电路 320 在偏压状态下工作，使得 SOI-SCR 元件 323 关闭。当有 ESD 脉冲产生时，ESD 检测电路 320 便会在另一偏压状态下工作，以触发 SOI-SCR 元件 323 动作，以将 ESD 电流放电。ESD 检测电路 320 的目的为减少 SOI-SCR 元件 323 的导通时间。二极管串 324 是在 SOI-SCR 元件 323 导通时，用来提升保持电压 (holding voltage)。保持电压必须高于跨过第一电压源 V_{DD} 与第二电压源 V_{ss} 的压降，以避免闩锁问题产生。亦即，它可以避免在一般操作状态时，由噪声脉冲 (noise pulse) 所触发而造成闩锁。

如图 10C 所示，静电放电检测电路 320 包括第一第二型 MOS 晶体管 P1，其源极耦接至第一电压源 V_{DD} ，且衬底与源极彼此连接。第一第一型 MOS 晶体管 N1，其漏极耦接至第一第二型 MOS 晶体管 P1 的漏极，源极耦接至第二电压源 V_{ss} ，栅极耦接至该第一第二型 MOS 晶体管 P1 的栅极，且衬底与源极彼此连接。第二第二型 MOS 晶体管 P2，其源极耦接至第一电压源 V_{DD} ，且衬底与源极彼此连接。第二第一型 MOS 晶体管 N2，其漏极耦接至第二第二型 MOS 晶体管 P2 的漏极，源极耦接至第二电压源 V_{ss} ，栅极耦接至第二第二型 MOS 晶体管 P2 的栅极，且衬底与源极彼此连接。第二第一型晶体管 N2 与第二第二型晶体管 P2 的栅极均耦接到第一第二型 MOS 晶体管 P1 (以及第一第一型 MOS 晶体管 N1) 的漏极。第二第二型 MOS 晶体管 P2 与第二第一型 MOS 晶体管 N2 的漏极均耦接到 P 型绝缘层有硅的硅控整流器 323 的第一栅极 G1

与第二栅极 G2。电阻 R 耦接于第一电压源 V_{DD} 与第一第二型 MOS 晶体管 P1 的栅极。电容器 C 耦接于第一第二型 MOS 晶体管 P1 栅极与第二电压源 V_{SS} 之间。

5 在正常操作模式时，电阻 R 与电容 C 间的节点会保持在高电位，经过反相器 (P1+N1) 与 (P2+N2)，晶体管 P2、N2 的漏极端会变成高电位。此高电位讯号输入到 P 型 SOI-SCR 元件 323 的第一栅极 G1 与第二栅极 G2，而使 P 型 SOI-SCR 元件 323 关闭。

10 当有 ESD 电压产生时，若是一正 ESD 电压，电阻 R 与电容 C 间的节点一开始会是低电位，经过反相器 (P1+N1) 与反相器 (P2+N2) 的作用，输入到第一栅极 G1 与第二栅极 G2 的讯号为低电位，使得 P 型 SOI-SCR 元件 323 导通。P 型 SOI-SCR 元件 323 被导通后便可以将 ESD 电流旁通在经由二极管串 324 放电掉，而不会进入内部电路。

15 综上所述，虽然本发明已以较佳实施例揭露如上，然其并非用以限定本发明，本领域的技术人员，在不脱离本发明的精神和范围的前提下，可作各种的更动与润饰，因此本发明的保护范围视后所附的权利要求为准。

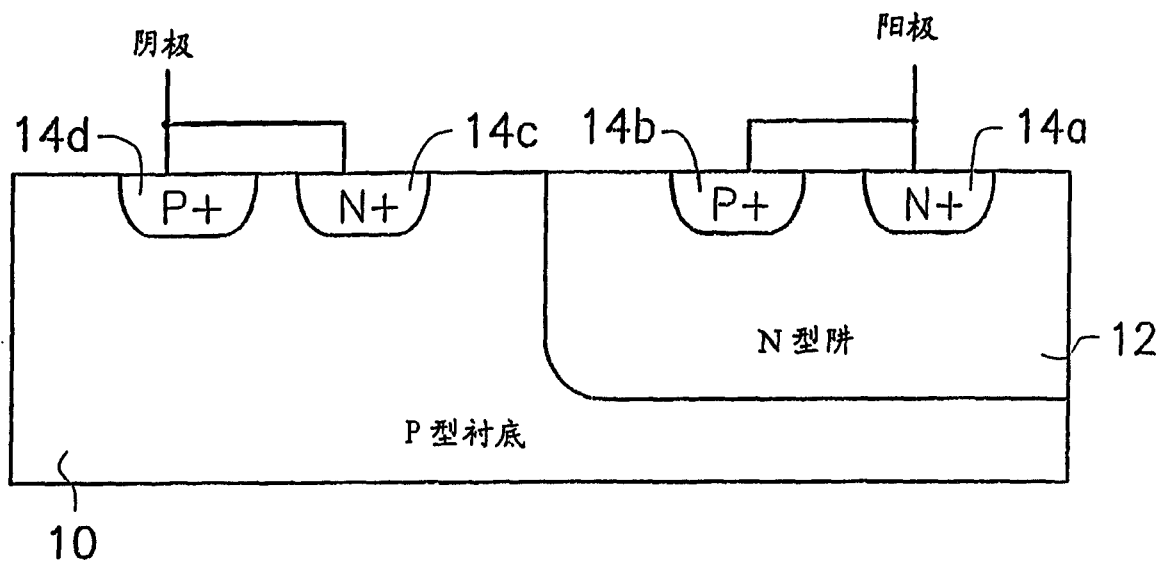


图 1

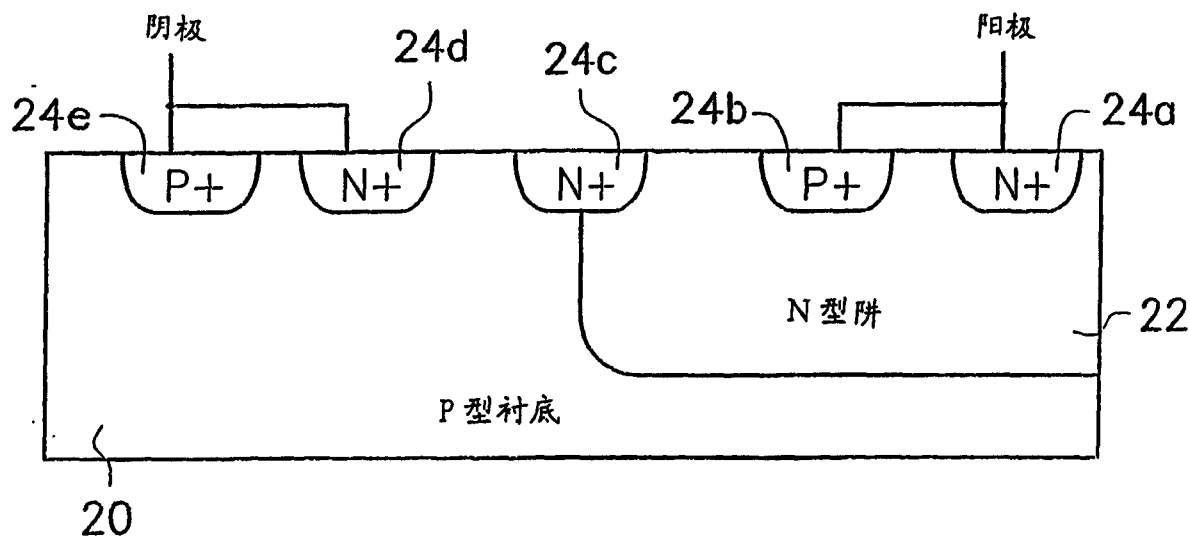


图 2

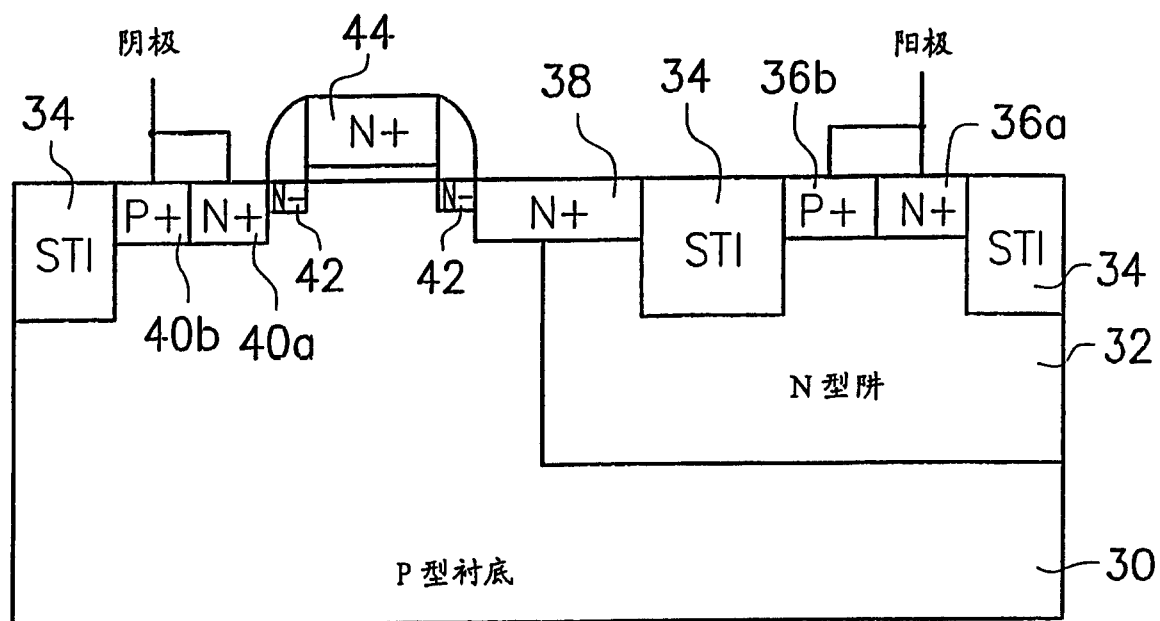


图 3

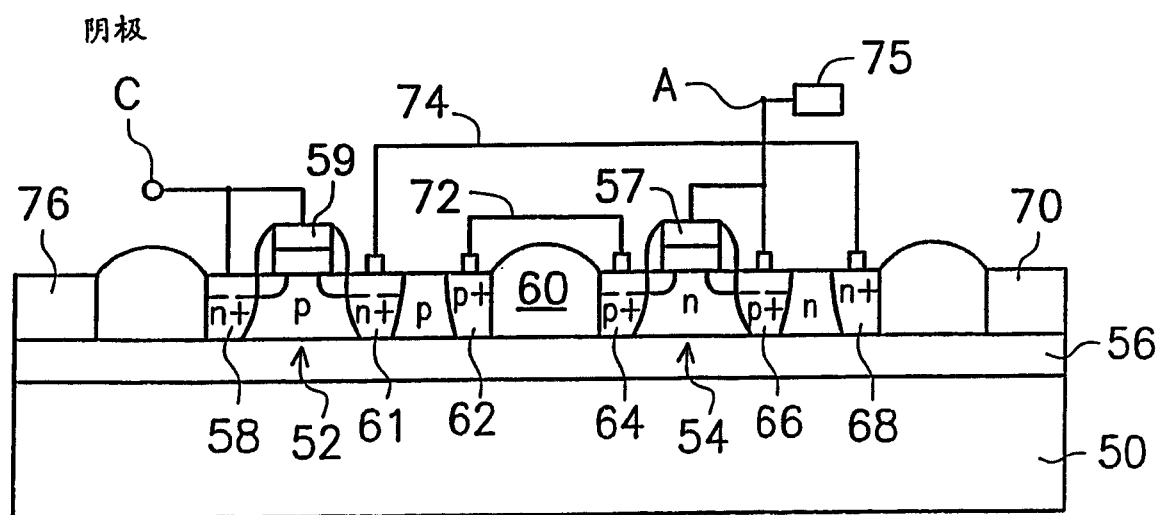


图 4

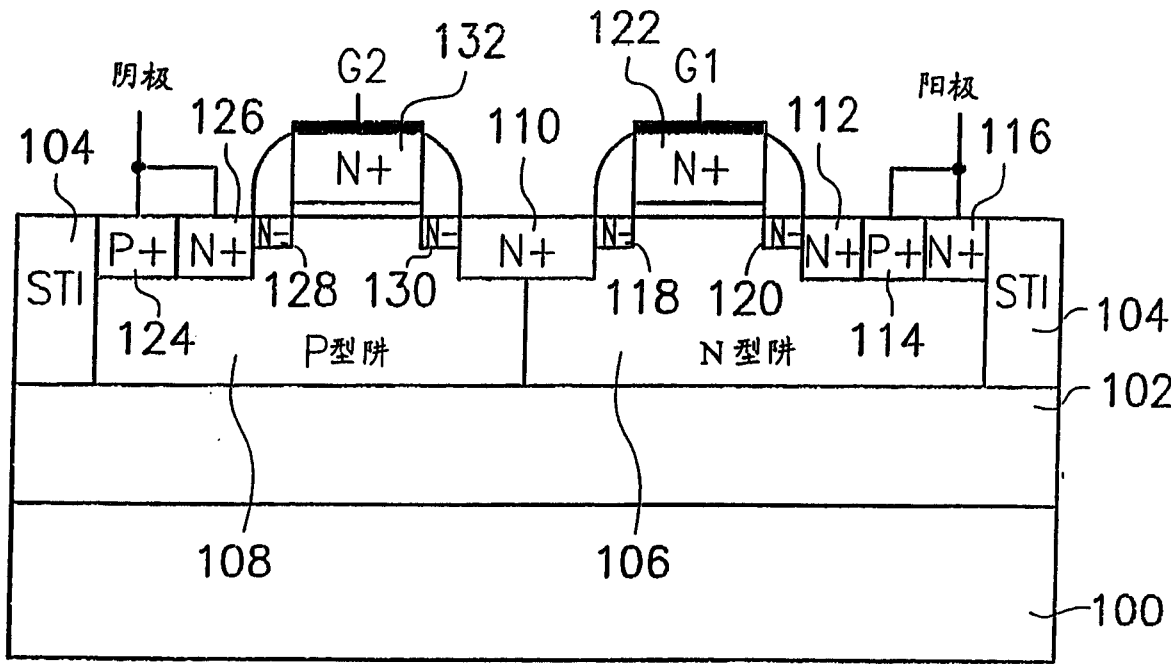


图 5 A

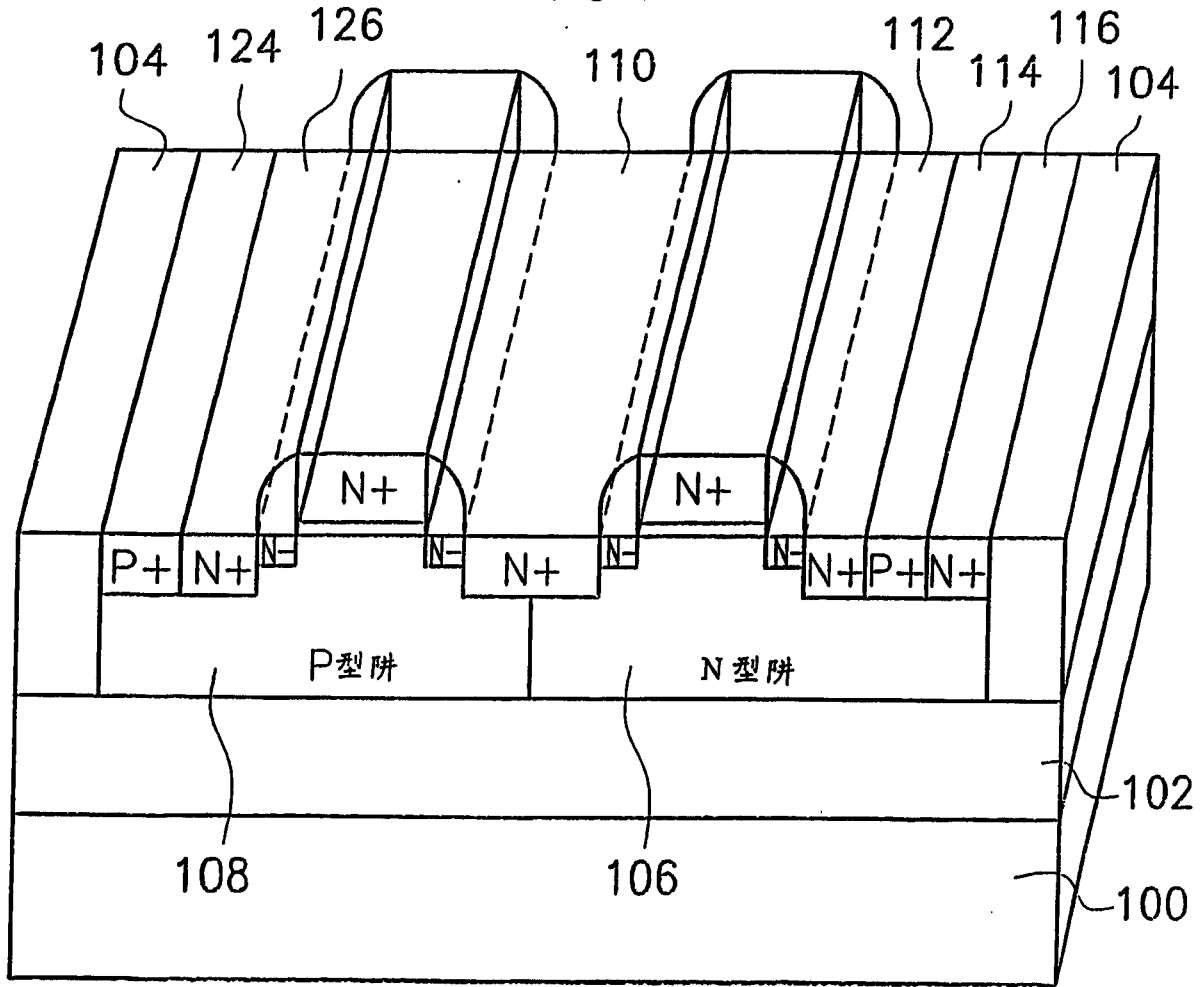


图 5 B

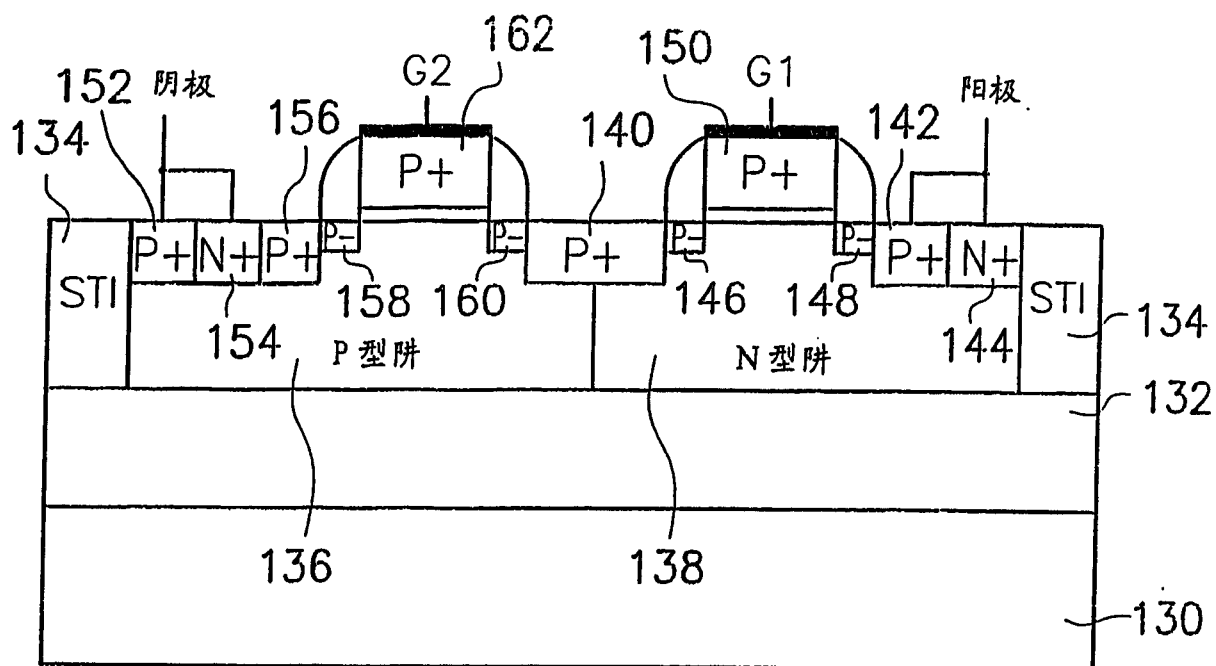


图 6 A

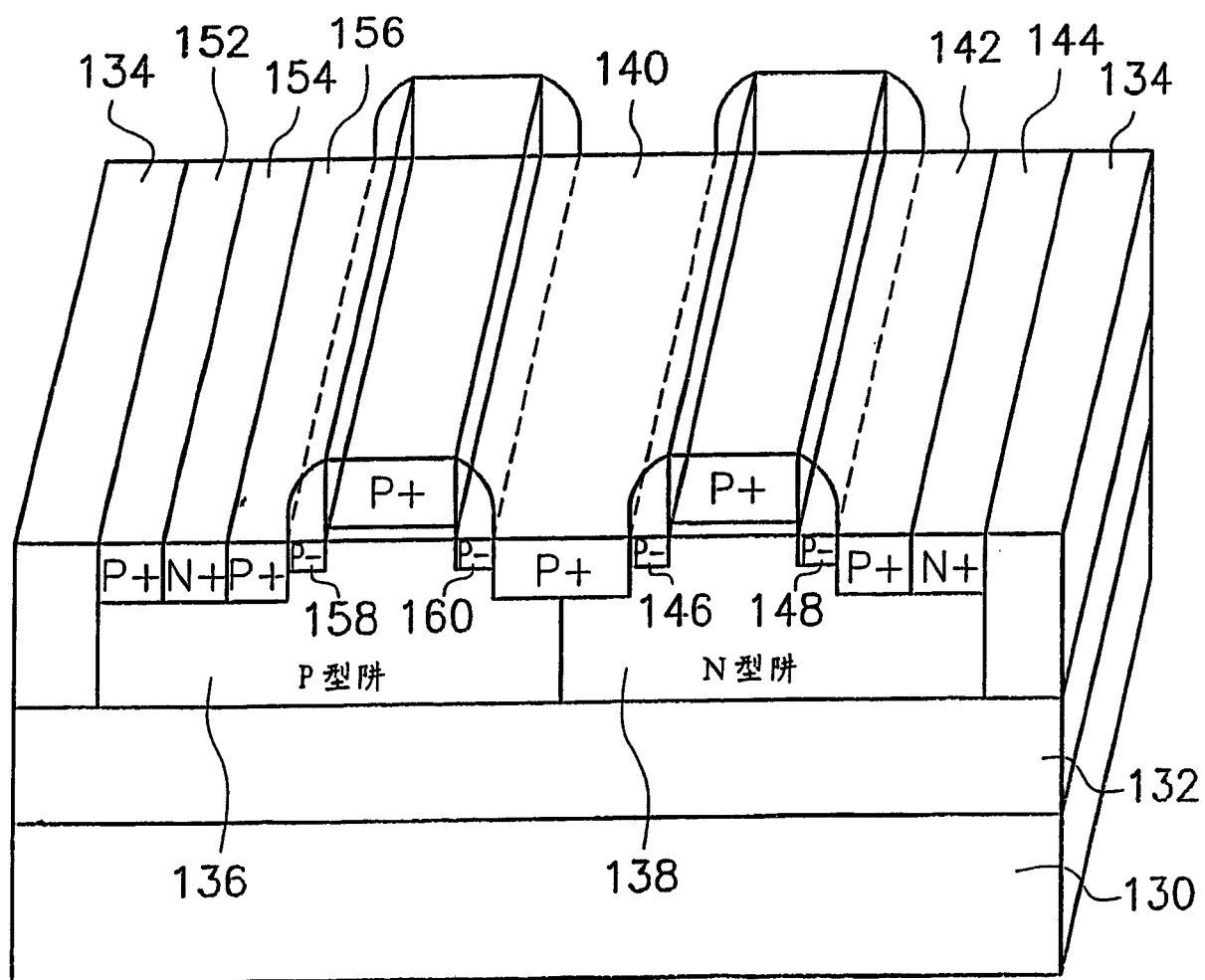


图 6 B

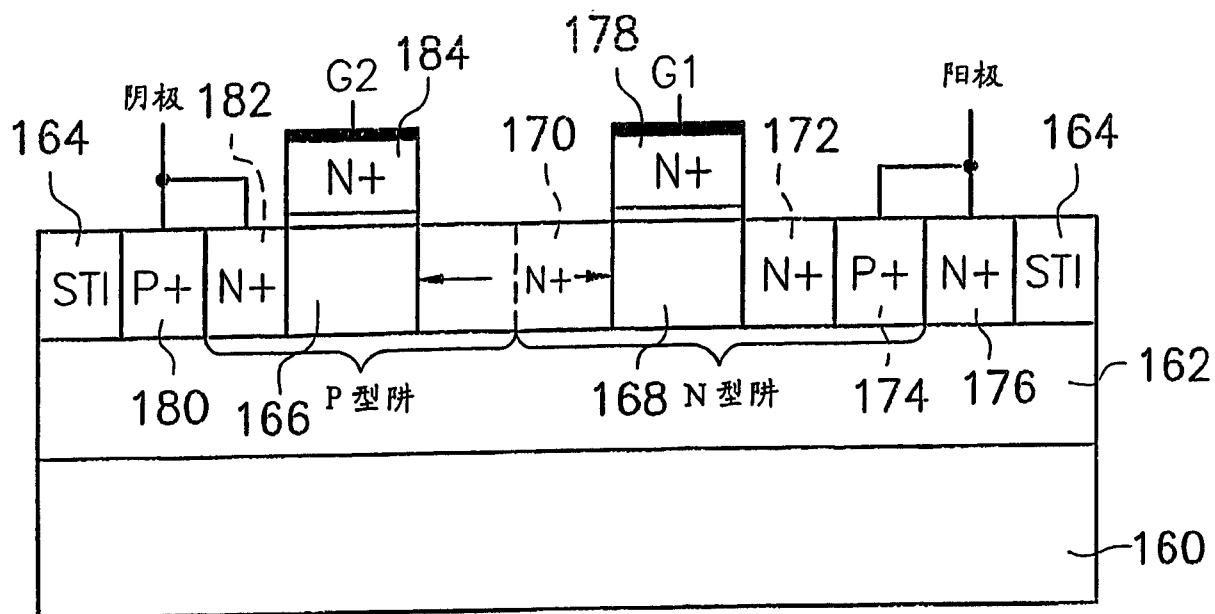


图 7 A

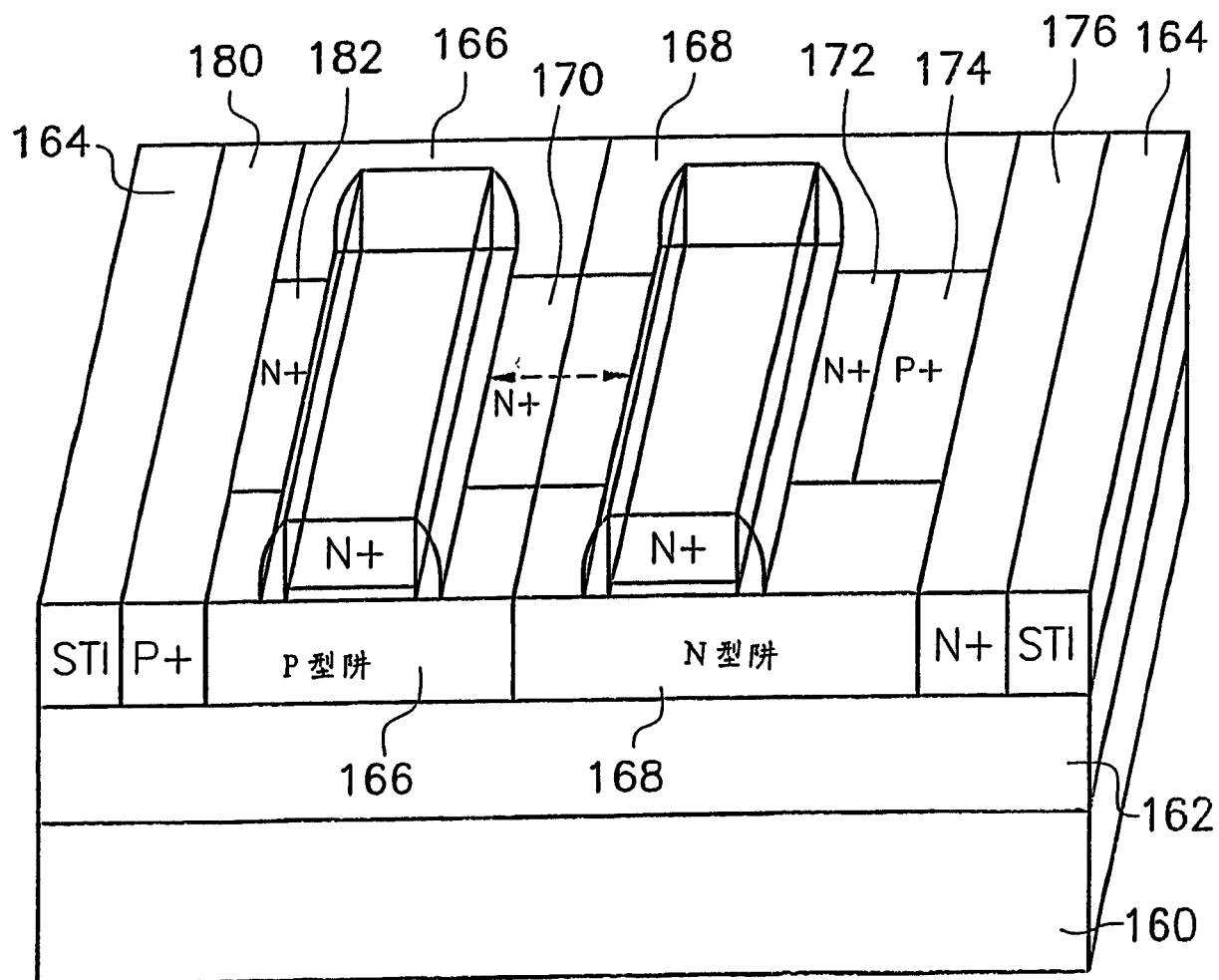


图 7 B

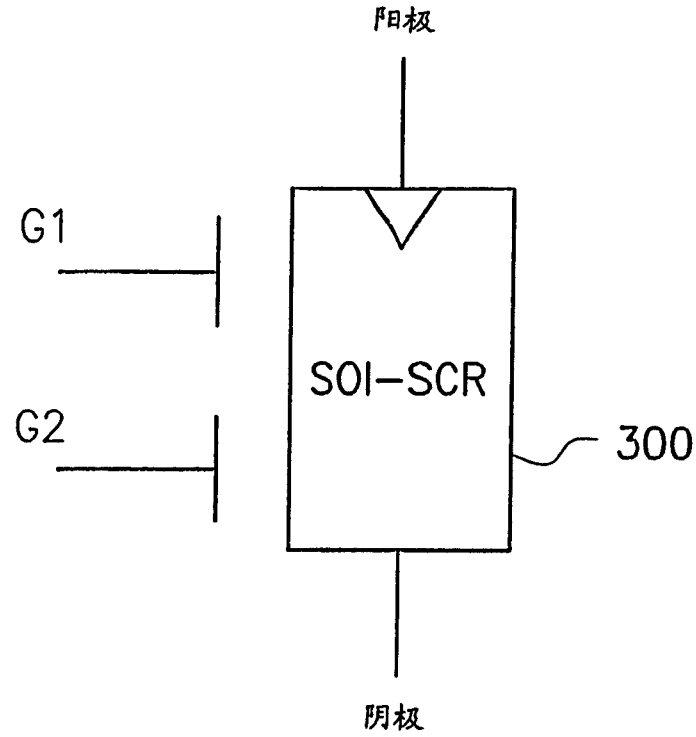


图 9 A

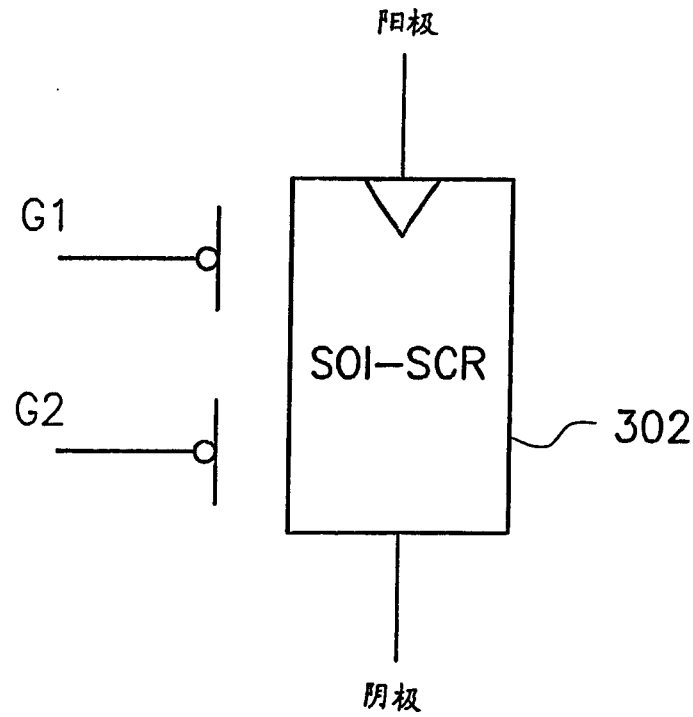


图 9 B

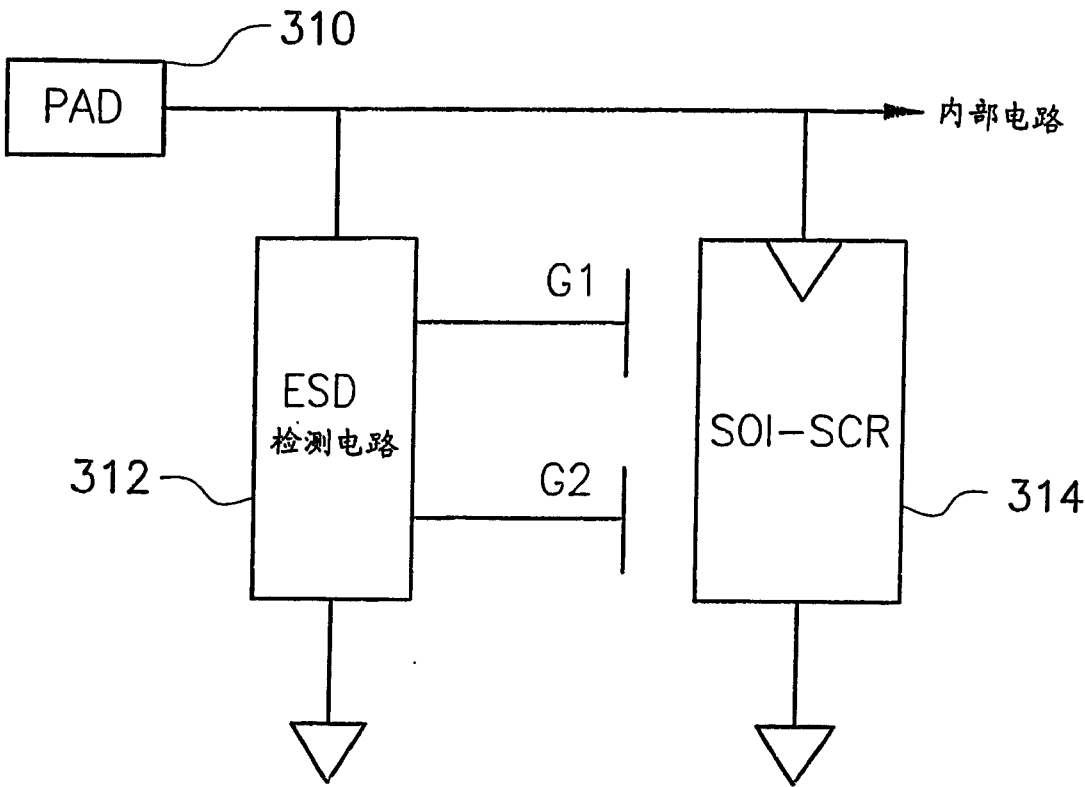


图 9 C

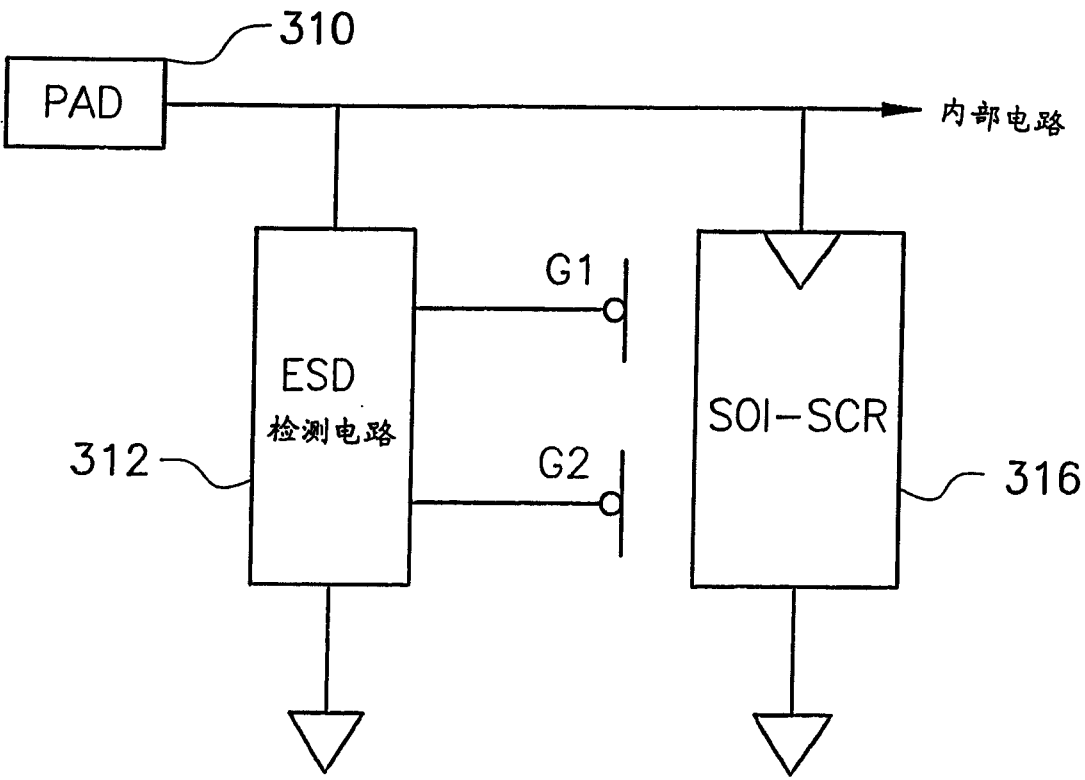


图 9 D

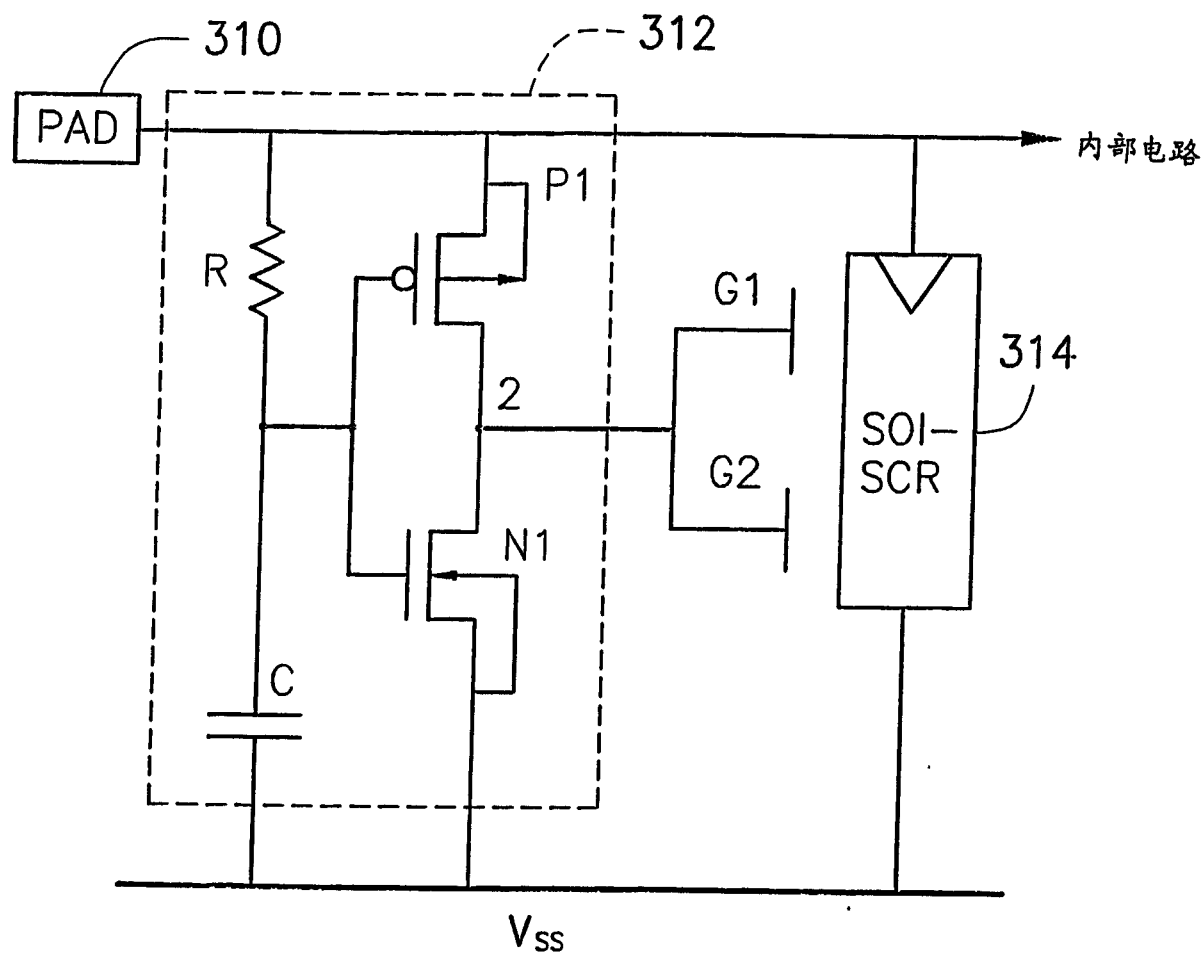


图 9 E

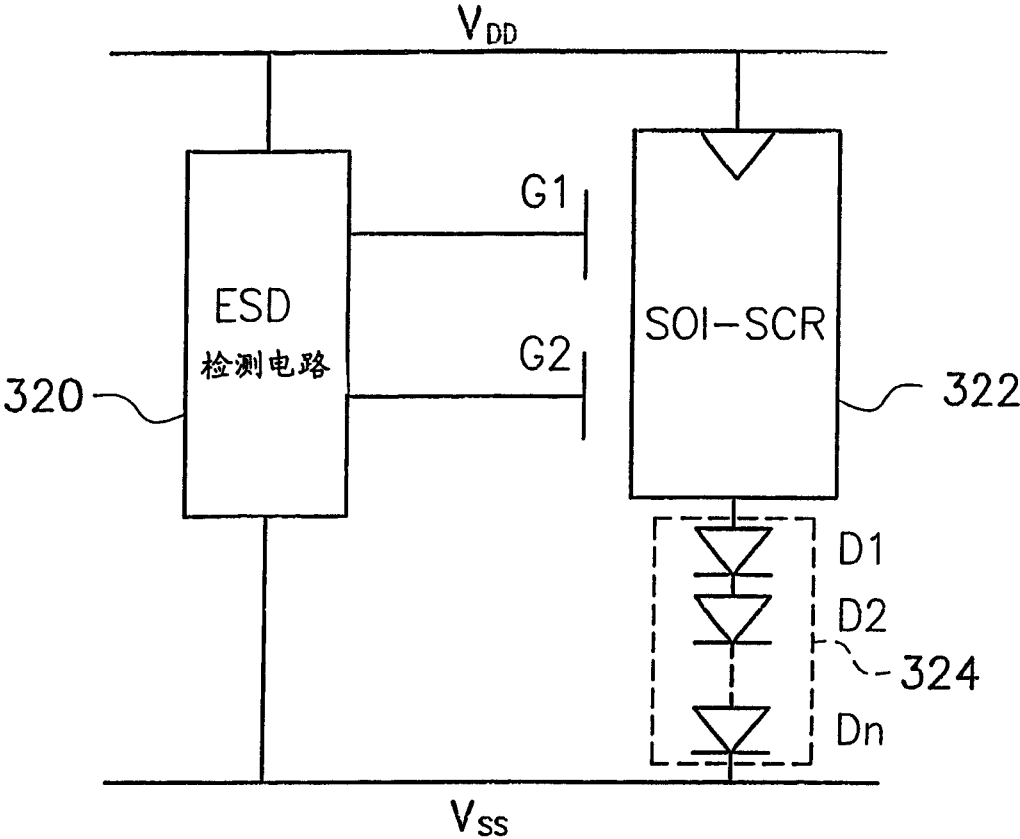


图 10 A

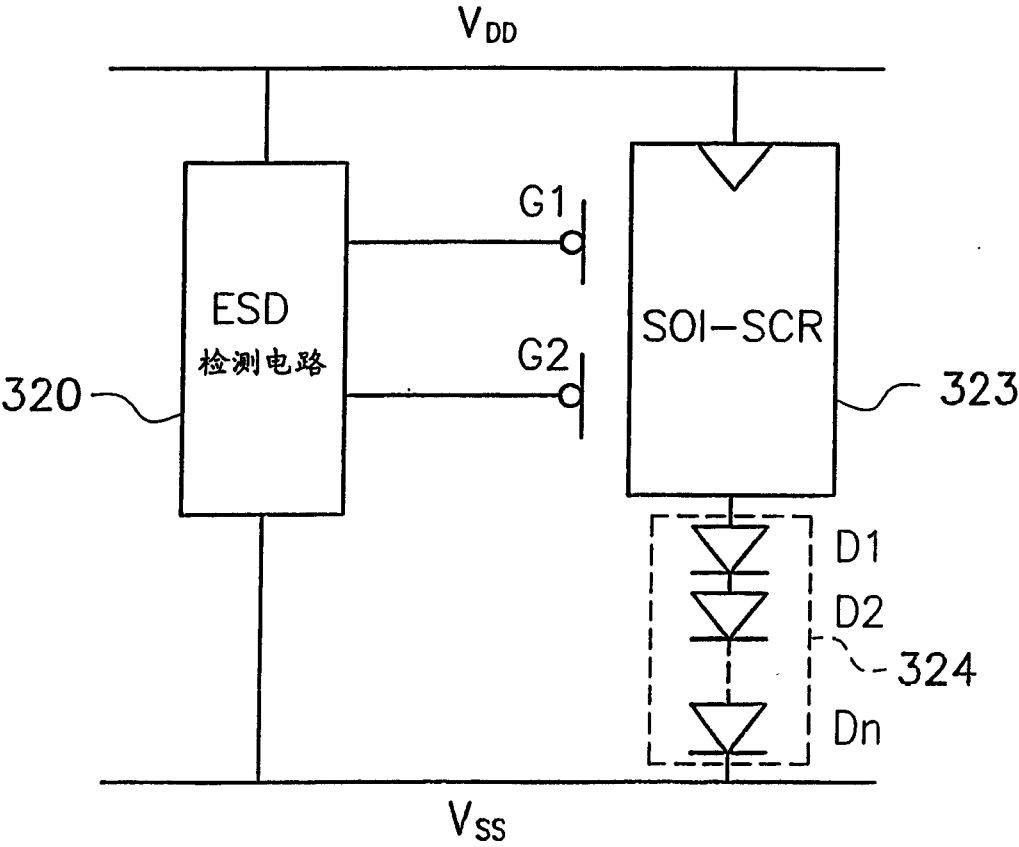


图 10 B

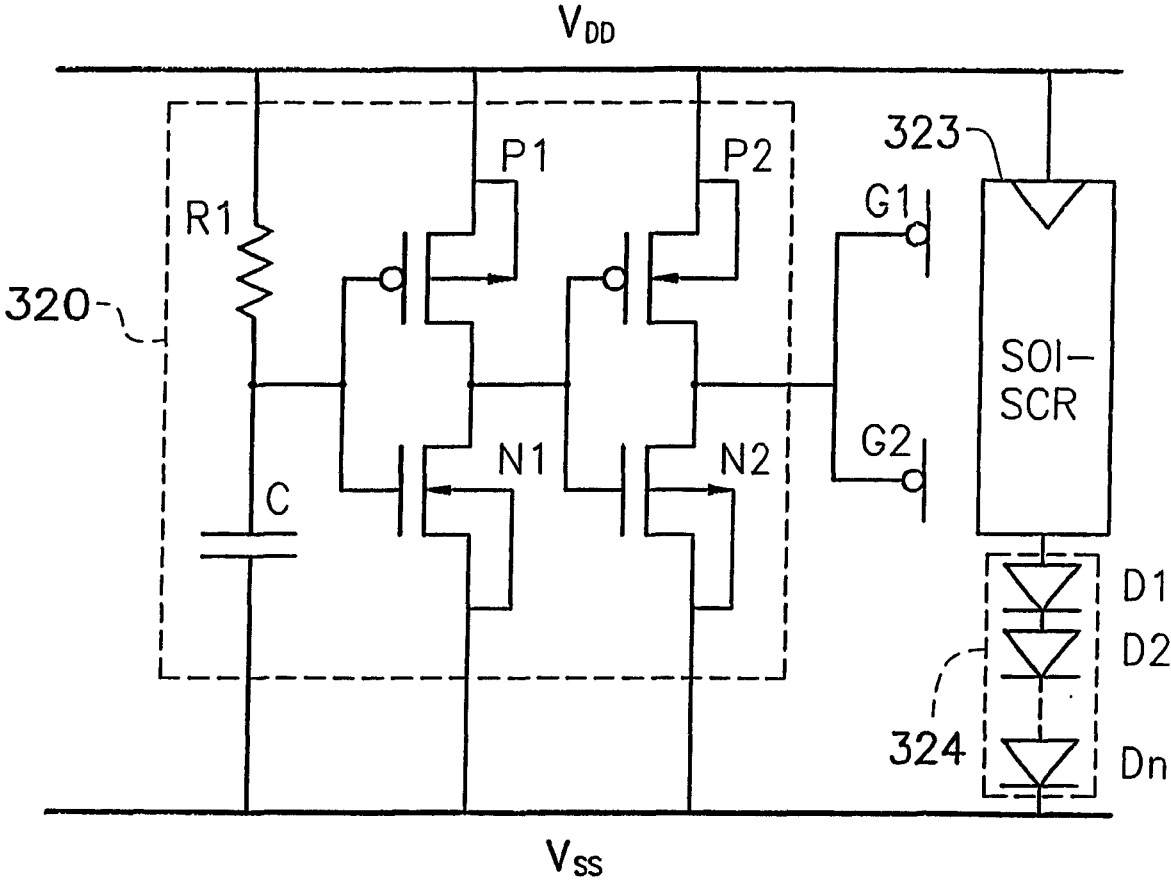


图 10 C